

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326750

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

H01L 21/205

H01L 21/20

H01L 21/203

H01L 33/00

(21)Application number : 09-275693

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.10.1997

(72)Inventor : MARCUS DIETHEARD
KAWATSU YOSHIHEI
MIHASHI YUTAKA

(30)Priority

Priority number : 09 69703 Priority date : 24.03.1997 Priority country : JP

(54) SELECTIVE FORMATION OF HIGH QUALITY GALLIUM NITRIDE LAYER, HIGH QUALITY GALLIUM NITRIDE LAYER FORMATION SUBSTRATE AND SEMICONDUCTOR DEVICE MANUFACTURED ON HIGH QUALITY GALLIUM NITRIDE LAYER GROWN SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To planarize surface and reduce crystal defect by properly interposing and laminating an AlN thin layer at a given interval in a GaN layer of a specified formula.

SOLUTION: A GaN layer expressed in a formula I: $GaxAlyInz$ ($0 < x \leq 1$, $0 \leq y < 1$, $0 \leq z < 1$, $x+y+z=1$) and an AlN thin layer which is interposed and laminated in a GaN layer at a fixed interval and expressed by a formula II: $AlxGa1-xN$ ($0.7 < x \leq 1$) are selectively formed alternately in an exposed surface of a board exposed by a dielectric mask formed on a board. Thereby, a high quality GaN layer is selectively formed. An AlN thin layer whose migration length of Ga atom is long when compared to a GaN layer is properly inserted between GaN layers, a GaN layer formed on an AlN thin layer is planarized and irregularities of an outermost surface of a GaN layer are reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326750

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/205

H 0 1 L 21/205

21/20

21/20

21/203

21/203

M

33/00

33/00

C

審査請求 未請求 請求項の数18 O L (全 12 頁)

(21) 出願番号 特願平9-275693

(22) 出願日 平成9年(1997)10月8日

(31) 優先権主張番号 特願平9-69703

(32) 優先日 平9(1997)3月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 マルクス・ディートハード

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 川津 善平

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 三橋 豊

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

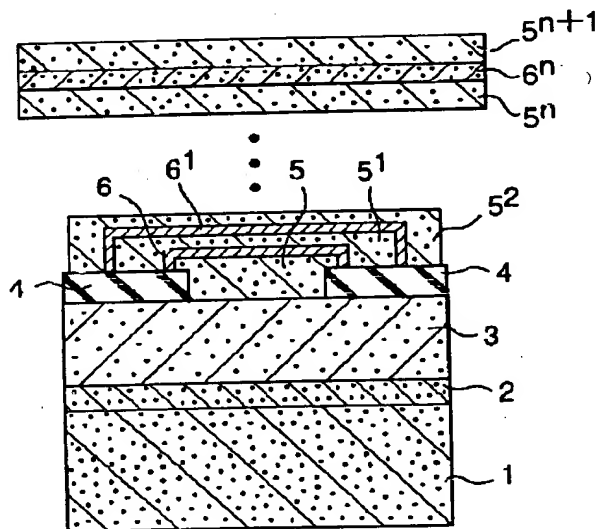
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 高品質 GaN 系層の選択成長方法、高品質 GaN 系層成長基板および高品質 GaN 系層成長基板上に作製した半導体デバイス

(57) 【要約】

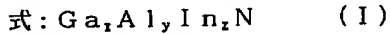
【課題】 GaN 層に発生するストレスを低減するための選択成長において、比較的平坦な表面を有しかつ結晶欠陥が低減された GaN 層の選択成長方法を提供する。

【解決手段】 GaN 層の選択成長中に、GaN 層中に所定の間隔で AlN 薄層を適宜介在積層する。

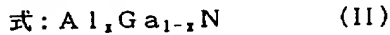


【特許請求の範囲】

【請求項1】 基板上に形成した誘電体マスクにより露出された上記基板の露出面に、選択的に下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGaN系層を成長するにあたり、上記GaN系層と、下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層とを交互に成長させる工程を備えることを特徴とする高品質GaN系層の選択成長方法。

【請求項2】 上記基板上にバッファ層を成長した後、上記誘電体マスクを形成することを特徴とする請求項1に記載の高品質GaN系層の選択成長方法。

【請求項3】 上記基板上に、または上記基板上に成長させたバッファ層上に、上記AlN系薄層から成長を開始することを特徴とする請求項1または2に記載の高品質GaN系層の選択成長方法。

【請求項4】 上記GaN系層の膜厚が、2～1000nmであることを特徴とする請求項1～3のいずれかに記載の高品質GaN系層の選択成長方法。

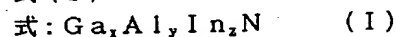
【請求項5】 上記AlN系薄層の膜厚が、1～200nmであることを特徴とする請求項1～3のいずれかに記載の高品質GaN系層の選択成長方法。

【請求項6】 上記基板が、サファイア基板、Si基板、GaAs基板、耐熱ガラス基板、SiC基板およびGaN基板からなる群から選択される1種であることを特徴とする請求項1～3のいずれかに記載の高品質GaN系層の選択成長方法。

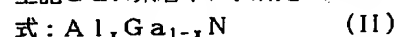
【請求項7】 上記GaN系層が、GaN層であることを特徴とする請求項1～3のいずれかに記載の高品質GaN系層の選択成長方法。

【請求項8】 上記AlN系薄層が、AlN層であることを特徴とする請求項1～3のいずれかに記載の高品質GaN系層の選択成長方法。

【請求項9】 基板上に形成されたバッファ層と、上記バッファ層上に形成され、上記バッファ層表面の一部が露出した開口部を有する誘電体マスクと、上記開口部内のバッファ層上に選択的に成長された下記式(I)

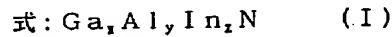


(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGaN系層とを少なくとも備えたGaN系層積層基板において、上記GaN系層中に、所定の間隔で、下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層が介在積層されることを特徴とする高品質GaN系層積層基板。

【請求項10】 基板上に形成され、上記基板表面の一部が露出した開口部を有する誘電体マスクと、上記開口部内の基板上に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGaN系層とを少なくとも備えたGaN系層積層基板において、上記GaN系層中に、所定の間隔で、下記式(II)



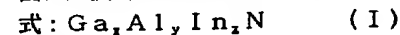
(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層が介在積層されることを特徴とする高品質GaN系層積層基板。

【請求項11】 更に、基板上に、または基板上に成長させたバッファ層上に、上記AlN薄層が形成されることを特徴とする請求項11または12に記載の高品質GaN系層成長基板。

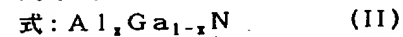
【請求項12】 上記GaN系層の膜厚が、2～1000nmであることを特徴とする請求項9～11のいずれかに記載の高品質GaN系層成長基板。

【請求項13】 上記AlN系薄層の膜厚が、1～200nmであることを特徴とする請求項9～11のいずれかに記載の高品質GaN系層成長基板。

【請求項14】 基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)

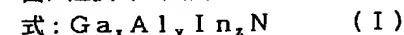


(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGaN系層と、上記GaN系層中に、所定の間隔で介在積層された下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層とを備える高品質GaN系層積層基板と、上記GaN系層積層基板上に順次積層された、それぞれがストライプ状のn型GaN系クラッド層、GaN系活性層、p型GaN系クラッド層からなるレーザ素子領域とを少なくとも備えることを特徴とするレーザダイオード。

【請求項15】 基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGaN系層と、上記GaN系層中に、所定の間隔で介在積層された下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層とを備える高品質GaN系層積層基板と、

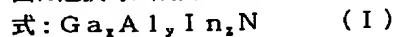
上記Ga_N系層積層基板上に形成された下部ブラッグ反射板と、

上記下部ブラッグ反射板上に順次積層されたn型Ga_N系クラッド層、Ga_N系活性層、p型Ga_N系クラッド層と、

上記p型Ga_N系クラッド層上に形成された上部ブラッグ反射板からなるレーザ素子領域とを少なくとも備えることを特徴とする面発光レーザ。

【請求項16】 上記Ga_N系層積層基板の上記Ga_N系層と上記Al_{1-x}In_xN系層との積層構造領域が、上記下部ブラッグ反射板を兼ねることを特徴とする請求項15に記載の面発光レーザ。

【請求項17】 基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGa_N系層と、

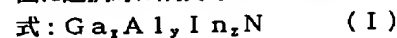
上記Ga_N系層中に、所定の間隔で介在積層された下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAl_{1-x}In_xN系層とを備える高品質Ga_N系層積層基板と、

上記Ga_N系層積層基板上に順次積層形成されたn型Ga_N系層とp型Ga_N系層からなるディテクタ素子領域とを少なくとも備えることを特徴とするUVディテクタ。

【請求項18】 基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGa_N系層と、

上記Ga_N系層中に、所定の間隔で介在積層された下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAl_{1-x}In_xN系層とを備える高品質Ga_N系層積層基板と、

上記Ga_N系層積層基板上に形成された光半導体素子、電子半導体素子、または光/電子集積半導体素子とを備えることを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表面が比較的平坦であり、かつ結晶欠陥を低減した窒化化合物からなる高品質半導体結晶の成長方法およびその構造に関する。

【0002】

【従来の技術】 サファイア基板上にGa_N層を成長させる場合、サファイア基板とGa_N層との格子不整合を緩和するために、サファイア基板上に例えばバッファ層と

してAl_{1-x}In_xN層を形成した後に、Ga_N層を形成する。しかし、かかるバッファ層を形成した場合でも、なおGa_N層に上記格子不整合に起因するストレスが発生し、Ga_N層の欠陥密度の増加等の原因となっていた。このようなGa_N層に発生するストレスを低減するために、Ga_N層を図12に示すような選択成長法で形成する方法が用いられている。図12a中、18はサファイア基板、19はAl_{1-x}In_xNバッファ層、20はGa_N層、21はSiO₂選択成長用マスクであり、Ga_N層は、かかる開口部に選択成長される。

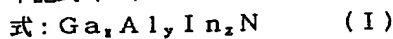
【0003】

【発明が解決しようとする課題】 図12(b)～(f)に示すように、Ga_N層の選択成長では、成長初期においてすでにGa_N層は表面が粗くなり、この結果、成長層は図12(f)の22に示すような三角形に成長し、平坦な表面が得られず、デバイス作製用基板としては使用できない。そこで、本発明は、Ga_N層に発生するストレスを低減するための選択成長において、比較的平坦な表面を有し、かつ結晶欠陥が低減されたGa_N層を成長させる選択成長方法を提供することを目的とする。

【0004】

【課題を解決するための手段】 そこで、発明者らは、鋭意研究の結果、Ga_N層中に所定の間隔でAl_{1-x}In_xN層を適宜介在積層することにより、表面が比較的平坦で、かつ結晶欠陥の少ないGa_N層の選択成長が可能なることを見出し、本発明を完成した。

【0005】 即ち、本発明は、基板上に形成した誘電体マスクにより露出された上記基板の露出面に、選択的に下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGa_N系層を成長するにあたり、

上記Ga_N系層と、

下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAl_{1-x}In_xN系層とを交互に成長させる工程を備えることを特徴とする高品質Ga_N系層の選択成長方法である。基板上にGa_N系層の選択成長を行った場合、表面が平坦な状態では成長が進まず、しだいにGa_N系層表面が凹凸を有するようになる。かかる表面凹凸は、特にデバイス作製工程において不正確なアライメント等の原因となり好ましくない。これに対して、本発明では、Ga原子のマイグレーション長が、Ga_N系層に比較して長くなるAl_{1-x}In_xN系層を、Ga_N系層の間に適宜挿入し、Al_{1-x}In_xN系層上に成長されるGa_N系層の平坦化を図ることにより、Ga_N系層最表面の凹凸を低減し、表面が比較的平坦なGa_N系層積層基板を得ることが可能となる。更に、かかるAl_{1-x}In_xN系層は、該Al_{1-x}In_xN系層下部のGa_N系層中に発

生した転位を閉じ込め、AlN系薄層上部のGaN系層に伝搬させない役目も果たすため、結果としてGaN系層最表面において欠陥密度の低いGaN系層積層基板を得ることが可能となる。

【0006】また、本発明は、上記基板上に、バッファ層を成長した後に上記誘電体マスクを形成することとを特徴とする高品質GaN系層の選択成長方法でもある。このように、本発明にかかる選択成長方法によれば、基板上にバッファ層を成長させず、直接GaN系層を形成した場合でも、表面が平坦で、欠陥密度の低いGaN系層積層基板を得ることが可能となる。

【0007】本発明は、上記基板上に、または上記基板上に成長させたバッファ層上に、上記AlN系薄層から成長を開始するものであっても構わない。

【0008】GaN系層積層基板表面の平坦化のためには、上記GaN系層の膜厚は、2~1000nmとするのが適している。即ち、GaN系層の膜厚が、2~1000nm程度であれば、GaN系層の表面を比較的平坦に維持することが可能であるからである。GaN系層の表面をより平坦にするには、上記GaN系層の膜厚は、50~100nmであることが好ましい。

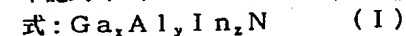
【0009】また、GaN系層積層基板表面の平坦化のためには、膜厚が1~200nmの上記AlN系薄層をGaN系層中に介在積層させるのが適しているが、特に、かかるAlN系薄層の膜厚は、5~20nmであることが好ましい。

【0010】上記基板は、サファイア基板、Si基板、GaAs基板、耐熱ガラス基板、SiC基板およびGaN基板からなる群から選択される1種であることが、強度、価格、取り扱い易さ等の観点から好ましい。

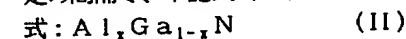
【0011】また、上記GaN系層は、GaN層であることが好ましい。

【0012】更に、上記AlN系薄層は、AlN層であることが好ましい。

【0013】また、本発明は、基板上に形成されたバッファ層と、上記バッファ層上に形成され、上記バッファ層表面の一部が露出した開口部を有する誘電体マスクと、上記開口部内のバッファ層上に選択的に成長された下記式(I)



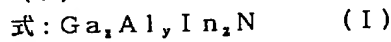
(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x+y+z=1$)で表されるGaN系層とを少なくとも備えたGaN系層積層基板において、上記GaN系層中に、所定の間隔で、下記式(II)



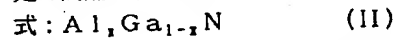
(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層が介在積層されることを特徴とする高品質GaN系層積層基板でもある。

【0014】また、本発明は、基板上に形成され、該基板表面の一部が露出した開口部を有する誘電体マスク

と、上記開口部内の基板上に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x+y+z=1$)で表されるGaN系層とを少なくとも備えたGaN系層積層基板において、上記GaN系層中に、所定の間隔で、下記式(II)



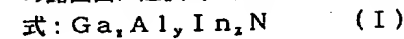
(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層が介在積層されることを特徴とする高品質GaN系層積層基板でもある。

【0015】かかる基板上または基板上に成長されたバッファ層上には、更にGaN系層の平坦化を図るため、AlN薄層が形成されても構わない。

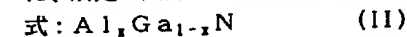
【0016】上記GaN系層の膜厚は、GaN系層の表面の平坦性を維持するためには、2~1000nmであることが適している。

【0017】上記AlN系薄層の膜厚は、GaN系層の表面の平坦性を維持するためには、1~200nmであることが適している。

【0018】本発明は、基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)

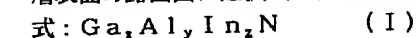


(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x+y+z=1$)で表されるGaN系層と、上記GaN系層中に、所定の間隔で介在積層された下記式(II)

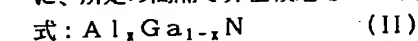


(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層とを備える高品質GaN系層積層基板と、上記GaN系層積層基板上に順次積層された、それぞれがストライプ状のn型GaN系クラッド層、GaN系活性層、p型GaN系クラッド層からなるレーザ素子領域とを少なくとも備えることを特徴とするレーザダイオードでもある。このように、本発明にかかる高品質GaN系層積層基板上にレーザダイオードを形成することにより、基板表面が良好な平坦性を有するためレーザダイオードの製造歩留まりが向上できるとともに、基板が欠陥密度が低いため、良好な素子特性を得ることが可能となる。

【0019】また、本発明は、基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x+y+z=1$)で表されるGaN系層と、上記GaN系層中に、所定の間隔で介在積層された下記式(II)

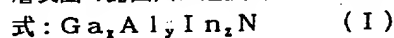


(但し、 $0.7 < x \leq 1$)で表されるAlN系薄層とを備える高品質GaN系層積層基板と、上記GaN系層積層基板上に形成された下部ブラッグ反射板と、上記下部

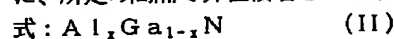
ブラッグ反射板上に順次積層されたn型Ga_{1-x}N系クラッド層、Ga_{1-x}N系活性層、p型Ga_{1-x}N系クラッド層と、上記p型Ga_{1-x}N系クラッド層上に形成された上部ブラッグ反射板からなるレーザ素子領域とを少なくとも備えることを特徴とする面発光レーザでもある。上述のように、本発明にかかる高品質Ga_{1-x}N系層積層基板上に面発光レーザを形成することによっても、面発光レーザの素子特性および製造歩留まりの向上を図ることが可能となる。

【0020】尚、Ga_{1-x}N系層積層基板の上記Ga_{1-x}N系層と上記Al_{1-x}N系薄層との積層構造領域は、上記面発光レーザの下部ブラッグ反射板を兼ねることが好ましい。このように、Ga_{1-x}N系層積層基板の上記Ga_{1-x}N系層と上記Al_{1-x}N系薄層との積層構造領域が下部ブラッグ反射板を兼ねることにより、面発光レーザの製造工程の簡略化が可能となるからである。

【0021】また、本発明は、基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)

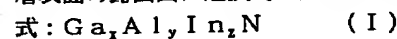


(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGa_{1-x}N系層と、上記Ga_{1-x}N系層中に、所定の間隔で介在積層された下記式(II)

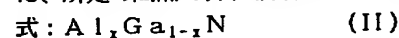


(但し、 $0.7 < x \leq 1$)で表されるAl_{1-x}N系薄層とを備える高品質Ga_{1-x}N系層積層基板と、上記Ga_{1-x}N系層積層基板上に順次積層形成されたn型Ga_{1-x}N系層とp型Ga_{1-x}N系層からなるディテクタ素子領域とを少なくとも備えることを特徴とするUVディテクタでもある。本発明にかかる高品質Ga_{1-x}N系層積層基板上にUVディテクタを形成した場合も同様に、UVディテクタの素子特性および製造歩留まりの向上を図ることが可能となる。

【0022】また、本発明は、基板上のバッファ層上に形成された誘電体マスクにより露出された上記バッファ層表面の露出面に選択的に成長された下記式(I)



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表されるGa_{1-x}N系層と、上記Ga_{1-x}N系層中に、所定の間隔で介在積層された下記式(II)



(但し、 $0.7 < x \leq 1$)で表されるAl_{1-x}N系薄層とを備える高品質Ga_{1-x}N系層積層基板と、上記Ga_{1-x}N系層積層基板上に形成された光半導体素子、電子半導体素子、または光/電子集積半導体素子とを備えることを特徴とする半導体デバイスでもある。

【0023】

【発明の実施の形態】

実施の形態1. 図1に、本発明の実施の形態1にかかるGa_{1-x}N選択成長層の断面構造図を示す。図1では、部分的にSiO₂のような誘電体マスクに覆われた基板1上に、(n+1)層のGa_{1-x}N層(5、5¹・

5ⁿ⁺¹)、および(n)層の薄いAl_{1-x}N層(6、6¹・6ⁿ)の積層構造を選択成長したものである。基板は、サファイア(0001)基板1上に低温バッファ(LTB)層2、Ga_{1-x}N層3を順次形成したものを用い、その上に、選択成長用のSiO₂等の誘電体マスク形成し、開口部にGa_{1-x}N層を成長させる。積層したGa_{1-x}N層の間には、所定の間隔で薄いAl_{1-x}N層が形成される。かかるAl_{1-x}N層を含むことは、成長モードを劇的に変化させ、以下で述べるように、Ga_{1-x}N層表面の平坦性を増し、また、従来の成長方法に比較してGa_{1-x}N層中の欠陥密度を大きく低減することができる。

【0024】図2に、従来の選択成長法で形成したGa_{1-x}N層と、本実施の形態にかかる選択成長法を用いて形成したGa_{1-x}N層の表面状態の比較例を示す。基板には、サファイア(0001)基板を用い、かかる基板上にGa_{1-x}N層を形成した後、SiO₂マスクを形成し、Ga_{1-x}N層(またはAl_{1-x}N層)の選択成長を行った。図2(a)は、従来のAl_{1-x}N層を挟まないGa_{1-x}N層のSEM写真であり、図2(b)は、500nmの薄いGa_{1-x}N層を形成した上に2nmの薄いAl_{1-x}N層と300nmのGa_{1-x}N層とを交互に成長させた場合のSEM写真である。また図2(c)は、図2(b)のGa_{1-x}N層の模式図である。上記基板上の成長厚みは公称であり、実際はマイグレーションの影響で、成長が進むにつれて膜厚は上記公称厚みより薄くなる傾向にある。図2(a)、(b)より明らかなように、図2(a)に示す従来の選択成長法で形成したGa_{1-x}N層では、表面に粗いモフォロジがみられるのに対し、図2(b)に本実施の形態にかかる選択成長法で形成した薄いAl_{1-x}N層を含むGa_{1-x}N層の表面は、良好な平坦性を有している。これは、Al_{1-x}N層表面上でのGaのマイグレーション長が長いこと、Ga_{1-x}N層の成長中に所定の間隔でAl_{1-x}N層を形成することにより、Ga_{1-x}N層が平坦化されるためと考えられる。また、かかるマイグレーション長の増加は、SiO₂マスク領域上のGa_{1-x}N層の成長を増加させる。このことは、図2(a)に比べて図2(b)のほうが、横方向に広くGa_{1-x}N層が形成されていることからわかる。

【0025】また、本実施の形態の選択成長法を用いることにより、上記表面の平坦化に加えてGa_{1-x}N層の結晶品質の改良が可能となる。かかる結晶品質の改良を定量的に調べるために、上記図2(b)の試料を、欠陥の選択エッチング液である溶融KOH溶液でエッチング処理して、EPD(Etch Pit Density)を求めた。

【0026】図3は、上記エッチング処理した図2(b)の試料の表面SEM写真(45°skipped)であり、EPDは $4 \times 10^5 \text{ cm}^{-2}$ 程度である。上記SEMは、45°の斜めから表面を観察したものであり、試料は上述の溶融KOH溶液でエッチングされ(450℃、30秒)、EPDを求めた。SiO₂選択成長

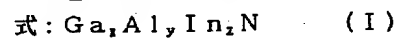
マスクは、エッチングにより完全に除去され、下部にあるGa_{0.9}N層が見えるようになっている。このように、従来方法で形成した場合のEPDは、一般に $4 \times 10^8 \text{ cm}^{-2}$ 程度であるため、本実施の形態にかかる選択成長法を用いることにより、EPDが3桁程度低減されたこととなる。

【0027】本実施の形態では、MOCVD法を用いた選択成長によりGa_{0.9}N層の形成を行ったが、図4に、かかるMOCVD装置の一例を示す。図4のMOCVD層では、全てのガスが上部から供給される。窒素ガスソースは、窒素ソースマニホールド32により供給され、II族供給マニホールド33から供給されるIII族ソースと分離して供給される。上記ガス流量は、レギュレーティングニードルバルブ34を調整することにより最適化され、加えて、所定流量の水素がスクリーン35から供給される。ガスは、ウエハキャリア36上に搭載された基板に到達し、反応して所望の半導体層を形成する。半導体層の均一性向上のために、ウエハキャリアが高速回転する(500-1000rpm)。リアクタ内の圧力は、76-200torrの範囲であることが好ましい。また、本実施の形態では、高品質Ga_{0.9}Nは、薄いGa_{0.9}Nバッファ層上への1030℃の高温成長で得ることができるが、かかるGa_{0.9}Nバッファ層は、200torrの反応圧力アンモニアガス(NH₃)とトリメチルガリウム(TM_{0.9}G)を用いて540℃で堆積するのが好ましい。

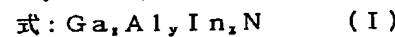
【0028】また、本発明の実施には、MBE法や、CBE法等の関連する方法を用いることも可能である。図5は、ECRプラズマソース付きのMBE装置であり、かかるMBE装置を用いた方法では、まず基板が、高真空のMBEチャンバ37に移され、典型的には900℃程度で、ガスの照射なしで高温サーマルアニールされた後、典型的には400℃の基板温度で、基板38がガスインジェクタ39を通して窒素ガスソースにさらされることにより窒化される。続いて、Ga_{0.9}NまたはAl_{0.9}Nのいずれかの低温バッファ層が、Gaソースビームを導入することにより堆積される。かかるGaソースビームは、MBEファースト40からの原子状のGa原子、またはTEG、TMGのような有機金属Ga前駆体であり、これらは、適当なガスインジェクタによっても導入可能である。その後、高品質Ga_{0.9}N層が、典型的には600-860℃の基板温度範囲で堆積される。本方法の長所は、電子回折(RHEED)41を用いることにより、結晶品質を成長中にその場分析できることである。窒素の最も好ましい前駆体は、NH₃、あらかじめクラックされたN₂、NH₃であり、一方Gaの前駆体には、TMGまたはTEG(トリエチルガリウム)が最もしばしば用いられる。キャリアガスはN₂とH₂の混合ガスが好ましい。加えて、窒素ラディカルまたは原子を、ECRプラズマ、N₂のマイクロ波活性化、またはNH₃のサ

ーマルクラッキングにより形成することも可能である。

【0029】次に、図1を用いて、本実施の形態にかかる選択成長方法について説明する。まず、結晶方位(0001)のサファイア基板1が結晶成長のために準備され、サセプト上に配置される。サファイア基板の結晶方位は、(0001)以外であっても構わない。続いて、残留不純物からの基板の表面クリーニングが行われる。表面クリーニング方法としては、例えば、MBE装置中での原子水素による処理、MOCVD装置中での高温処理が好ましい。次に、サファイア基板1上に、膜厚2nmから500nmのバッファ層2が、基板温度200℃から1000℃の範囲で堆積される。バッファ層は、Ga_{0.9}N層でも良く、下記一般式



(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表される材料の多層積層化合物でも良い。上記バッファ層の目的は、基板上に核形成層を形成することにある。次に、高温Ga_{0.9}N層3が、MOCVD法では900℃以上の温度で、MBE法では600℃以上の温度で、それぞれ成長される。膜厚は、典型的には約2μmであるが、2nmから6μmの範囲であっても良い。Ga_{0.9}N層に代えて、下記一般式



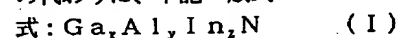
(但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$)で表される他の材料を用いても良い。次に、試料が冷却され、リアクタからはずされ、薄い誘電体材料層4が堆積される。誘電体材料は、SiO₂、SiN₄、SiO₂N₂または他の一般的に用いられる誘電体物質である。膜厚は、典型的には100nmであるが、10nmから500nmの範囲でも良い。次に、誘電体層が、部分的に、リソグラフィおよびウエットエッチングにより除去される。除去領域の形状は、デバイス構造に依存する。典型的な寸法は、幅200nmから50μm、長さ200nmから数mmのストライプ形状の開口部である。ストライプの方位は、特に限定されない。

【0030】このように準備された試料は、リアクタに再度入れられ、成長温度まで升温され、Ga_{0.9}N層の選択成長が行われる。選択成長は、SiO₂等の誘電体によりマスクされたGa_{0.9}N層3上への薄いGa_{0.9}N層(2-1000nm)または薄いAl_{0.9}N層(1-200nm)5の成長から始まる。続いて、Ga_{0.9}N層(2-200nm)5¹等およびAl_{0.9}N層(1-50nm)6¹等を交互に積層する。Ga_{0.9}N/Al_{0.9}Nの組の全数は、1から200の範囲である。かかるGa_{0.9}N層5¹等およびAl_{0.9}N層6¹等は、夫々2-200nm、1-50nm程度の膜厚で、交互に積層することが好ましいが、2-1000nm、1-200nmの膜厚で交互の積層することも可能である。Al_{0.9}N層の表面では、通常Gaのマイグレーション長が大きいので、Al_{0.9}N層上では平坦なGa_{0.9}N層が形成される。従って、Ga_{0.9}N層表面が凹凸を有する前

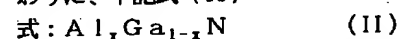
に、AlN層を挟みこむことにより、表面平坦性を維持しながらGa₂N層の形成が可能となる。AlN層の膜厚は、少なくとも1層形成されれば、上記マイグレーション効果が得られると考えられるが、通常は1~50nmの間で適当な膜厚を選択して形成する。加えて、本選択成長では、SiO₂4マスクの開口幅より広がって結晶成長が進み、即ち、Ga₂N層表面でマイグレーションするGa原子はSiO₂4マスク上へも移動できるため、選択成長ではない通常の全面成長に比較して表面の平坦性向上を図ることができる。

【0031】また、Ga₂N層に所定の間隔でAlN層を挿入することにより、AlN層下部のGa₂N層で発生した転位をGa₂N層内に閉じ込めることが可能となる。即ち、Ga₂N層上部にAlN層が形成されることにより、Ga₂N層内で発生した転位がループ化等されることにより、AlN層上部に伝搬されにくいため、最表面に形成されたGa₂N層内の転位密度を低減することができる。

【0032】以上より、本実施の形態にかかる成長方法を用いて成長したGa₂Nの最表面のGa₂N層5⁰¹¹は、従来の方法で成長したGa₂N層の表面と比較して、モフォロジ（表面の凹凸）が少なく、転位等の欠陥密度の少ない結晶品質を有することがわかる。尚、Ga₂N層5等の代わりに、下記一般式



（但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$ ）で表される異なったGa₂N系化合物層を用いることも可能である。また、薄いAlN層5、5¹の代わりに、下記式（II）

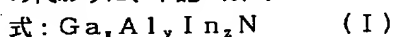


（但し、 $0.7 < x \leq 1$ ）で表される比較的高いAl組成のAlN系薄層を用いることも可能である。

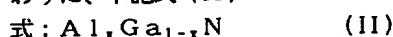
【0033】実施の形態2。上記実施の形態1では、基板1にサファイア基板を用いたが、かかる基板1には、例えばSi、GaAs、Ga₂N、SiCまたは耐熱ガラス（Ga₂N層の選択成長温度で軟化しないガラス）のような他の材料を用いることも可能である。かかる基板は、価格が安価である、取り扱いが容易である等の特長を有している。上記各材料を用いた場合も、結晶成長工程は、実施の形態1の場合と同様であり、適当な不純物を添加するより、電気的に導電性を有するように形成される。尚、Si、GaAs等を基板に用いる場合も、サファイア基板の場合と同様に、基板の結晶方位は特に限定されない。

【0034】実施の形態3。図6、7に、実施の形態3にかかるGa₂N層の断面構造図を示し、図中、図1と同一符号は同一または相当箇所を示す。本実施の形態では、図1の場合と異なり、低温バッファ層2およびGa₂N層3の形成を行わず、誘電体マスク4を直接基板1上に形成した後に、Ga₂N層5、AlN層6の積層形成を行っている。また、図6では、基板1直上に、Ga₂N層

5を最初に形成するのに対し、図7では、AlN層7を形成している。このように、低温バッファ層2、Ga₂N層3を形成しない場合であっても、上記実施の形態同様に、表面モフォロジの悪化が少なく、欠陥密度の少ないGa₂N層5⁰¹¹の形成が可能である。尚、Ga₂N層5等の代わりに、下記一般式

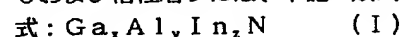


（但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$ ）で表される異なったGa₂N系化合物層を用いることも可能である。また、薄いAlN層5、5¹の代わりに、下記式（II）



（但し、 $0.7 < x \leq 1$ ）で表される比較的高いAl組成のAlN系薄層を用いることも可能である。

【0035】実施の形態4。図8は、本発明にかかるGa₂N層上にリッジ（ストライプ）型レーザを形成するための製造工程図であり、図中、図1と同一符号は同一または相当箇所である。本実施の形態では、まず、図8（a）に示すように、実施の形態1で形成した高品質のGa₂N化合物層上に、n型Ga₂Nクラッド層8、活性層9、p型Ga₂Nクラッド層10が堆積される。活性層9は、レーザ光放射のためのAlGa₂N層とInGa₂N層の多重量子井戸（MQW）からなり、Ga₂Nクラッド層8、10間に挟まれ、DH（ダブルヘテロ）構造のp-n接合を形成する。次に、図8（b）に示すように、リッジ構造を形成するために、リソグラフィ技術およびドライエッチング技術を用いてn-Ga₂Nクラッド層8、活性層9、p型Ga₂Nクラッド層10がエッチングされる。続いて、図8（c）に示すように、例えばSiO₂のような保護膜13がリッジのサイドウォール上に堆積された後、リソグラフィ、エッチングにより開口部が形成される。最後に、図8（d）に示すように、メタルコンタクト11、12が形成され、キャビティを限定するためにミラーファセット（図示せず）が形成される。このように、本発明を用いて形成した高品質Ga₂N層上にレーザ構造を形成することにより、デバイス特性を改良し、ライフタイムを長くし、しきい値電流密度、電力消費を低くすることが可能となる。尚、クラッド層8、10および活性層9には、下記一般式



（但し、 $0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 \leq z < 1$ 、 $x + y + z = 1$ ）で表される異なったGa₂N系化合物層を用いることも可能である。また、上記実施の形態1に示した高品質Ga₂N層の代わりに、実施の形態2、3に示す基板および構造を用いることも可能である。

【0036】実施の形態5。図9は、高品質Ga₂N層を面発光レーザ（VCSEL：Vertical Cavity Surface Emitting Laser）に適用した場合の断面構造図であり、図中、図1と同一符号は、同一または相当箇所を示す。本実施の形態では、実施の形態1で示した高品質Ga₂N

層の上に、下部ブラッグ反射板14、活性層およびキャビティ15、および上部ブラッグ反射板16が順次、堆積形成されている。下部ブラッグ反射板14は、レーザー光を最上層に反射するために、組成および放射される波長に応じて、各層の膜厚が20nmから50nmの間の適当な膜厚から選択される多層構造のAlN/AlGaIn層から形成される。キャビティおよび活性層15は、p-n接合とInGaIn/AlGaIn量子井戸層からなるレーザ構造となっている。上部ブラッグ反射板16は、窒化化合物結晶層、またはSiO₂/MgO、SiO₂/ZrO₂のような多重積層構造により形成される。最も好ましくは、ブラッグ反射板14が、AlN/GaN多重積層構造5、6、・・・から形成される。

【0037】尚、上記ブラッグ反射板14としては、J. Redwingらが、30周期のAl_{0.4}Ga_{0.6}N/Al_{0.12}Ga_{0.88}N(39.7nm/37.2nm)を反射板として使用する場合について発表しているが、結晶品質が悪いため良好な特性が得られていない。本発明では、高品質GaN結晶上に上記ブラッグ反射層14を形成するため、かかる結晶品質が悪いことによるレーザ特性の劣化を大きく改善することができる。

【0038】実施の形態6。図10は、高品質GaN層をU-Vディテクタデバイスに適用した場合の断面構造図であり、図中、図1と同一符号は、同一または相当箇所を示す。デバイスの結晶品質は、海中での通信や地上から宇宙への通信、燃焼検出器としてのUVディテクタの高周波動作において重要な役割を有する。即ち、上記UVディテクタの性能は、本発明にかかる高品質GaN層を用いることにより改良することが可能となる。本実施の形態にかかるUVディテクタは、図10に示すように、高品質GaN層上にn-GaN層(またはn-Al_xGa_{1-x}N(0≤x≤1)層)8およびp-GaN層(またはn-Al_xGa_{1-x}N(0≤x≤1)層)10から形成され、更にp-GaN層10上には透明コンタクト11が、n-GaN層8上には他のコンタクト12がそれぞれ形成されている。

【0039】図11は、高品質GaN層を、U-Vフォトディテクタデバイスとして用いられるGaN/AlGaIn HFETに適用した場合の断面構造図であり、図中、図1と同一符号は、同一または相当箇所を示す。GaN/AlGaIn HFETは、本発明の高品質GaN層5上にアンドープGaN層8、n=4×10¹⁸cm⁻³程度ドープした膜厚25nmのn-AlGaInバリア層18、ゲート幅が0.2μmの金属ゲート19、ソース、ドレインコンタクト17を順次積層して形成する。かかるGaN/AlGaIn HFETでは、電子-正孔対がGaN層8内に発生し、電子はチャネルへ移動し、一方正孔は基板に向かって移動する。従って、本発明にかかる高品質のGaN結晶を用いることにより、感度の向上、トラップ数の低減による使用周波数の高帯域化等

のデバイス特性の改良が可能となる。

【0040】実施の形態7。本実施の形態7は、本発明にかかる高品質GaN層をHFETに適用するもので、断面構造図は上記実施の形態6と同様に図11のようになる。GaN層の結晶品質は、トランジスタの高周波数特性に大きく影響し、特にマイクロ波素子への応用において重要である。従って、本発明にかかる高品質のGaN層上にHFETを形成することにより、かかるHFETのトランジスタ特性を大幅に改善することが可能となる。尚、HBT、HEMT、FET等の他の電子デバイスも、本発明にかかる高品質GaN層上に形成することにより素子特性を向上することができ、即ち、キャリアのライフタイムを長くし、使用周波数帯域を高くし、利得を向上させ、電力損失を低減することが可能となる。

【0041】尚、実施の形態4～7において、上記実施の形態1に示した高品質GaN層の代わりに、実施の形態2、3に示す基板および構造を用いることも可能である。

【0042】

【発明の効果】以上の説明から明らかなように、本発明にかかるGaN系層の選択成長方法では、Ga原子のマイグレーション長がGaN系層に比較して長くできるAlN系薄層を選択成長させるGaN系層中に適宜介在積層させ、かかるAlN系薄層直上のGaN系層の平坦化を図ることにより、GaN系層積層基板表面の凹凸を低減し、表面の平坦性に優れたGaN系層積層基板を得ることが可能となる。更に、かかるAlN系薄層は、AlN系薄層下部のGaN系層中に発生した転位を閉じ込め上部のGaN系層に伝搬させない役目も果たすため、結果としてGaN系層積層基板表面における欠陥密度の低減を図ることも可能となる。

【0043】また、本発明にかかる高品質GaN系層積層基板を用いることにより、かかるGaN系層積層基板表面が平坦性に優れるため、GaN系層積層基板上に形成するデバイスの製造歩留まりの向上を図ることが可能となる。また、かかるGaN系層積層基板は欠陥密度が低いため、基板上に形成した素子特性の向上、信頼性の向上も可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる高品質GaN層基板の断面構造図である。

【図2】 (a) 本発明の実施の形態1にかかる方法で成長したGaN選択成長層の断面SEM写真である。
(b) 従来方法で成長した高品質GaN層の断面SEM写真である。

(c) 本発明の実施の形態1にかかる方法で成長したGaN選択成長層の断面模式図である。

【図3】 本発明の実施の形態1にかかる方法で成長したGaN層の低減されたEPDを示すSEM写真である。

【図4】 本発明の実施の形態1に使用するMOCVDリアクタの概念図である。

【図5】 本発明の実施の形態1に使用するMBEチャンバの概念図である。

【図6】 本発明の実施の形態3にかかるGaN層基板の断面構造図である。

【図7】 本発明の実施の形態3にかかるGaN層基板の断面構造図である。

【図8】 本発明の実施の形態4にかかるリッジ型半導体レーザの製造工程断面構造図である。

【図9】 本発明の実施の形態5にかかる面発光レーザの断面構造図である。

【図10】 本発明の実施の形態6にかかるUVディテクタ構造の断面構造図である。

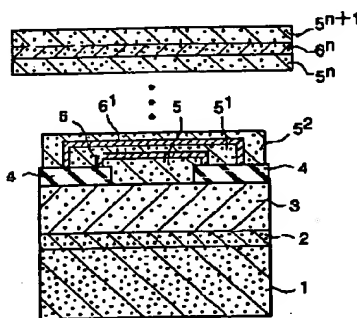
【図11】 本発明の実施の形態6および7にかかるUVディテクタとしても使用可能なHFEET構造の断面構造図である。

【図12】 従来方法にかかるGaN層の選択成長工程図である。

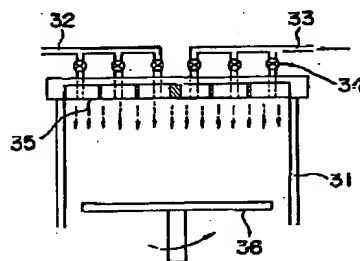
【符号の説明】

1 サファイア基板、2 低温バッファ層、3 GaN層、4 SiO₂マスク、5 GaN選択成長層、6 AlN薄層。

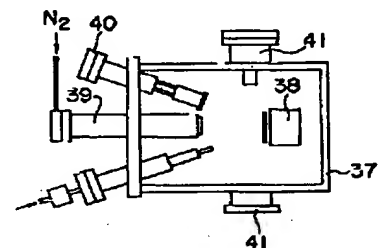
【図1】



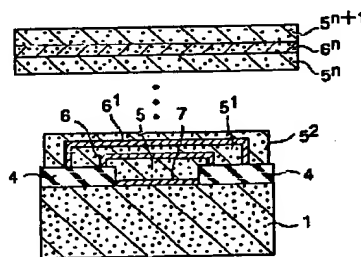
【図4】



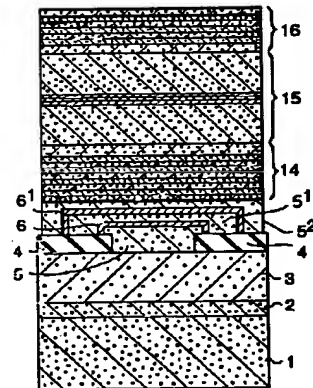
【図5】



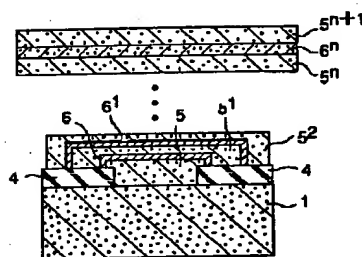
【図7】



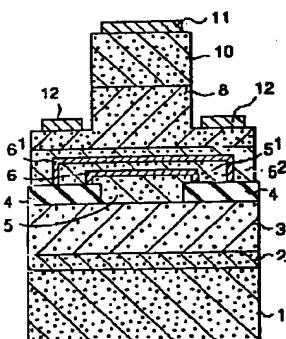
【図9】



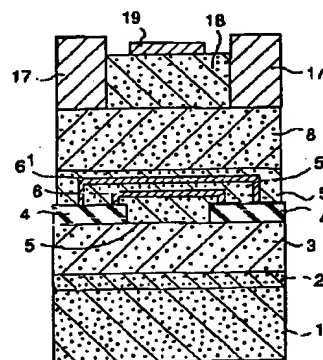
【図6】



【図10】

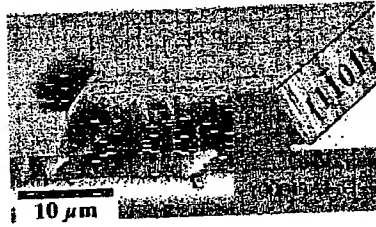


【図11】

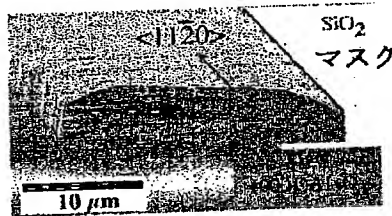


【図2】

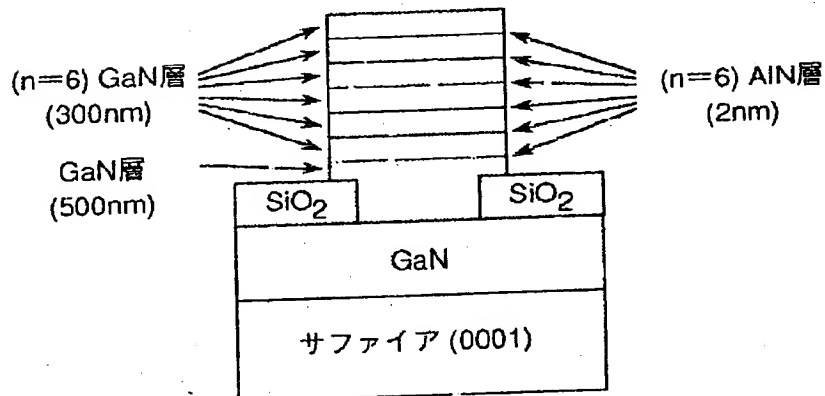
(a)



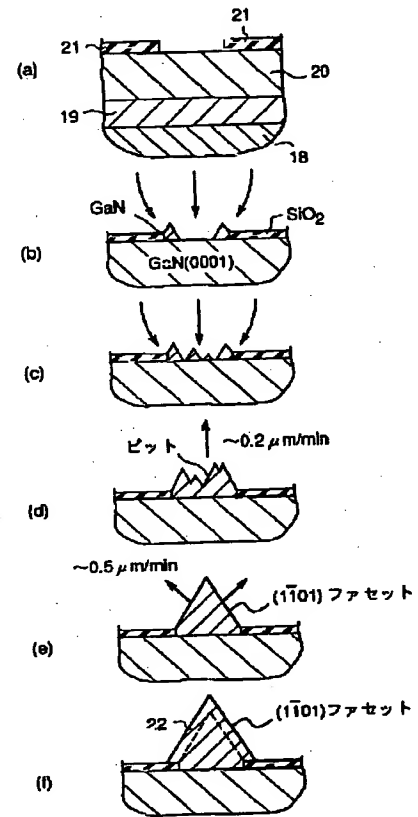
(b)



(c)



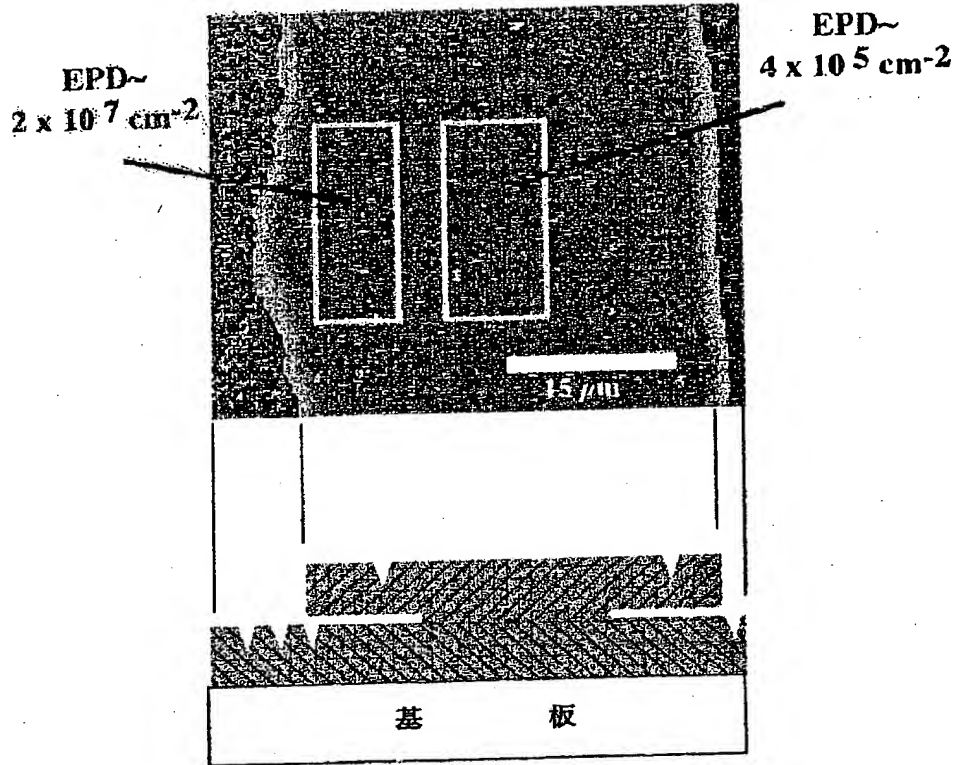
【図12】



(11)

特開平10-326750

【図3】



BEST AVAILABLE COPY

【図8】

